

SYNCHRONOUS DC-TO-DC CONVERTER

Patent Number: JP11187649
Publication date: 1999-07-09
Inventor(s): AOYAMA TADAO
Applicant(s): NEW JAPAN RADIO CO
Requested Patent: ☐ JP11187649
Application: JP19970363726 19971217
Priority Number(s):
IPC Classification: H02M3/155
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To provide a synchronous DC-to-DC converter of relatively a simple circuit constitution and moreover is possible of high-speed operation.

SOLUTION: When a main switching element 1 is turned on, the signal of a logical value 'high' is outputted from a fourth comparator 18, and an RSFF (set reset flip flop) 22 is reset, and the gate of a switching element 6 for commutation is put in such a condition that the logical value is low, so that the switching element 6 for commutation is turned off. On the other hand, when the main switching element 1 is turned off, the signal of the logical value which is high is outputted from a third comparator 17, and the RSFF 22 is set, and the gate of the switching element 6 for commutation is put in such condition that the logical value is high, so the switching element 6 for commutation is turned off, and the main element 1 and the switching element 6 for commutation are alternately turned on and turned off.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 1 1 - 1 8 7 6 4 9

(43) 公開日 平成 11 年 (1999) 7 月 9 日

(51) Int. Cl.⁶

識別記号

F I

H 0 2 M 3/155

H 0 2 M 3/155

H

審査請求 未請求 請求項の数 4

F D

(全 7 頁)

(21) 出願番号 特願平 9 - 363726

(22) 出願日 平成 9 年 (1997) 12 月 17 日

(71) 出願人 000191238

新日本無線株式会社

東京都中央区日本橋横山町 3 番 10 号

(72) 発明者 青山 直生

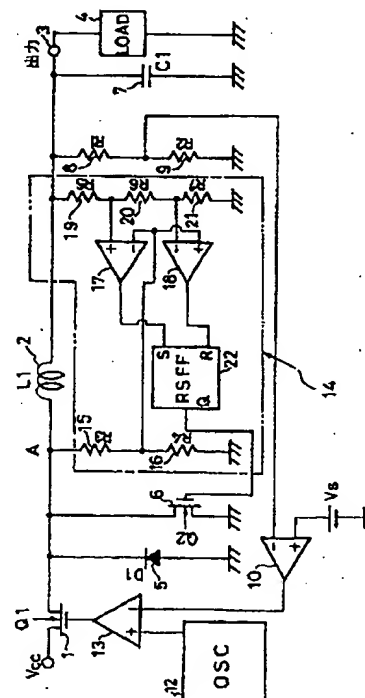
埼玉県上福岡市福岡二丁目 1 番 1 号 新日本無線株式会社川越製作所内

(54) 【発明の名称】 同期型 DC/DC コンバータ

(57) 【要約】

【課題】 回路の構成が比較的簡単で、かつ、高速動作が可能な同期型の DC/DC コンバータを提供する。

【解決手段】 主スイッチング素子 1 がオンとなると、第 4 のコンパレータ 18 から論理値 High の信号が出力され、RSFF 22 がリセットされて、転流用スイッチング素子 6 のゲートが論理値 Low 状態とされるため、転流用スイッチング素子 6 は、オフ状態とされる一方、主スイッチング素子 1 がオフとなると、第 3 のコンパレータ 17 から論理値 High の信号が出力され、RSFF 22 がセットされて、転流用スイッチング素子 6 のゲートが論理値 High 状態とされるため、転流用スイッチング素子 6 は、オン状態となり、主スイッチング素子 1 と転流用スイッチング素子 6 とが交互にオン・オフされるようになっている。



【特許請求の範囲】

【請求項 1】 入力端と出力端との間に主スイッチング素子とコイルとが直接接続されると共に、前記主スイッチング素子とコイルとの接続点とアースとの間に転流用スイッチング素子が設けられ、前記主スイッチング素子と前記転流用スイッチング素子とが交互に導通、非導通状態とされ、前記出力端に所定の直流出力電圧が得られるよう構成されてなる同期型 DC/DC コンバータであって、

前記主スイッチング素子と前記コイルとの接続点の電圧と、前記出力端における電圧とに基づいて、前記転流用スイッチング素子の動作を制御する転流用スイッチング素子制御手段を具備したことを特徴とする同期型 DC/DC コンバータ。

【請求項 2】 転流用スイッチング素子制御手段は、主スイッチング素子とコイルとの接続点における電圧を分圧する入力側分圧手段と、

出力端における出力電圧を 2 つの異なる電圧に分圧する出力側分圧手段と、

前記入力側分圧手段により得られた分圧電圧と前記出力側分圧手段により得られた 2 つの分圧電圧の内、電圧値の高い一方の分圧電圧とを比較する第 1 の比較器と、前記入力側分圧手段により得られた分圧電圧と前記出力側分圧手段により得られた 2 つの分圧電圧の内、電圧値の低い他方の分圧電圧とを比較する第 2 の比較器と、前記第 1 の比較器の出力信号によりセット状態とされる一方、前記第 2 の比較器の出力信号によりリセット状態とされ、出力信号が前記転流用スイッチング素子の動作制御に用いられるセット・リセットフリップフロップとを具備してなることを特徴とする請求項 1 記載の同期型 DC/DC コンバータ。

【請求項 3】 入力側分圧手段及び出力側分圧手段は、それぞれ別個に設けられた、直列接続された複数の抵抗器から構成されてなるものであることを特徴とする請求項 2 記載の同期型 DC/DC コンバータ。

【請求項 4】 主スイッチング素子の動作を制御する主スイッチング素子制御手段と、

出力電圧を分圧する主スイッチング素子制御用出力電圧分圧手段とを具備し、

前記主スイッチング素子制御手段は、前記主スイッチング素子制御用出力電圧分圧手段の分圧電圧に基づいて前記主スイッチング素子の動作を制御し、

前記主スイッチング素子制御用出力電圧分圧手段は、直列接続された複数の抵抗器から構成されてなるもので、当該直列接続された複数の抵抗器は、出力側分圧手段を兼ねるものであることを特徴とする請求項 2 記載の同期型 DC/DC コンバータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、直流電圧の変換を

行う DC/DC コンバータに係り、特に、いわゆる同期型 DC/DC コンバータの改良に関するものである。

【0002】

【従来の技術】 従来、この種の DC/DC コンバータとしては、例えば、図 3 に示されたようなものがある。図 3 に示された非同期型の DC/DC コンバータは、入力直流電圧 V_{cc} が印加される主スイッチング素子（図 3 及び図 4 においては「Q1」と表記）31 を、導通（以下、「オン」という。）あるいは遮断（以下、「オフ」という。）させることにより、主スイッチング素子 31 に接続されたコイル（図 3 及び図 4 においては「L1」と表記）32 に励起される交流電圧を、転流用ダイオード（図 3 及び図 4 において「D1」と表記）33 と平滑用コンデンサ（図 3 及び図 4 においては「C1」と表記）34 によって整流し、出力端子 35 から負荷（図 3 及び図 4 においては「LOAD」と表記）36 に出力するように構成されている。

【0003】そして、この非同期型の DC/DC コンバータでは、出力端子 35 とアースとの間に直列に接続された抵抗器（図 3 及び図 4 においては「R1」と表記）37 と抵抗器（図 3 及び図 4 においては「R2」と表記）38 の接続点から出力電圧に対応する大きさのいわゆる分圧電圧が得られ、この分圧電圧がコンパレータ 39 によって基準電圧 V_s と比較されるようになってい。さらに、コンパレータ 39 の比較結果と、所定周波数の信号を出力する発振器（図 3 及び図 4 においては「OSC」と表記）41 の出力とがコンパレータ 42 によって比較され、このコンパレータ 42 の比較結果に基づいて、主スイッチング素子 31 がオン・オフ制御されることにより、出力端子 35 から所定の電圧に変換された直流電圧が出力されるようになってい。

【0004】非同期型の DC/DC コンバータでは、主スイッチング素子 31 がオフ状態のときに、コイル 32 の入力側は、転流用ダイオード 33 を介して接地される。その際、コイル 32 の入力側は、励起された電流がゼロになるように、完全に接地されるのが望ましいが、実際には、転流用ダイオード 33 の順方向における電圧降下分だけ、電位差が生じてしまい、完全には接地されない。そのため、非同期型の DC/DC コンバータは、転流用ダイオード 33 に生じる電圧降下の分だけ、いわゆる電力変換効率が悪化してしまうという問題点があった。

【0005】そこで、かかる問題点を解決し、電力変換効率を向上し得るものとして、例えば、図 4 に示すような構成を有してなる同期型の DC/DC コンバータが提案されている。この同期型 DC/DC コンバータは、転流用ダイオード 33 と並列に接続され、順方向電圧が転流用ダイオード 33 よりも低い転流用のスイッチング素子（図 4 において「Q2」と表記）43 を備えている。そして、この同期型 DC/DC コンバータは、主スイ

チング素子 31 と転流用のスイッチング素子 43 を、ロジック回路 (図 4 においては「LOG」と表記) 44 により交互にオン・オフさせて、コイル 32 の入力側を転流用のスイッチング素子 43 を介して接地させ、電力変換効率を向上させるようになっている。

【0006】

【発明が解決しようとする課題】ところで、上述の後者の同期型の DC/DC コンバータでは、ロジック回路 44 を用いて、主スイッチング素子 31 と転流用のスイッチング素子 43 を交互にオン・オフさせているが、このロジック回路 44 の動作上、主スイッチング素子 31 と転流用のスイッチング素子 43 が、同時にオン状態となることを完全に避けることができない。この同期型の DC/DC コンバータにおいて、主スイッチング素子 31 と転流用のスイッチング素子 43 が、同時にオン状態となると、主スイッチング素子 31 の出力側の電圧 V_{cc} が、そのまま転流用のスイッチング素子 43 を介してアース側に流れてしまい、この 2 つのスイッチング素子 31, 43 の動作が重複する短時間の間、出力電圧が瞬時零 v 近傍まで低下してしまうという不都合がある。

【0007】そこで、主スイッチング素子 31 と転流用のスイッチング素子 43 が、同時にオン状態となることを防ぐために、従来は、例えば、ロジック回路 44 において、発振器 41 の動作周波数よりも高速なパルスにより、一定の遅延時間を発生させて、この遅延時間を利用して、主スイッチング素子 31 と転流用のスイッチング素子 43 が、同時にオン状態となるタイミングが生じないようなタイムシーケンスを作成するようにすることも行われている。

【0008】しかし、このように、発振器 41 の動作周波数よりも高速なパルスにより、一定の遅延時間を発生させて、主スイッチング素子 31 と転流用のスイッチング素子 43 が、同時にオン状態となるタイミングが生じないようなタイムシーケンスを作成するように構成した場合には、回路の構成が複雑となり装置の高価格化を招く。また、一定の遅延時間を発生させて、主スイッチング素子 31 と転流用のスイッチング素子 43 が、同時にオン状態となるのを防止しているため、遅延時間を発生させる分だけ、回路の高速動作性に限界が生ずるという新しい問題点を有している。

【0009】本発明は、上記実情に鑑みてなされたもので、回路の構成が比較的簡単で、かつ、高速動作が可能な同期型の DC/DC コンバータを提供することを目的とするものである。本発明の他の目的は、主スイッチング素子と転流用スイッチング素子が同時にオン状態となることがないように両素子の動作タイミングに遅延時間を設けるようなタイムシーケンスを要するような回路を用いることなく、電力変換効率が良好で、かつ、比較的安価な同期型の DC/DC コンバータを提供することにある。

【0010】

【課題を解決するための手段】請求項 1 記載の発明に係る同期型 DC/DC コンバータは、入力端と出力端との間に主スイッチング素子とコイルとが直接接続されると共に、前記主スイッチング素子とコイルとの接続点とアースとの間に転流用スイッチング素子が設けられ、前記主スイッチング素子と前記転流用スイッチング素子とが交互に導通、非導通状態とされ、前記出力端に所定の直流出力電圧が得られるよう構成されてなる同期型 DC/DC コンバータであって、前記主スイッチング素子と前記コイルとの接続点の電圧と、前記出力端における電圧とに基づいて、前記転流用スイッチング素子の動作を制御する転流用スイッチング素子制御手段を具備してなるものである。

【0011】特に、転流用スイッチング素子制御手段は、主スイッチング素子とコイルとの接続点における電圧を分圧する入力側分圧手段と、出力端における出力電圧を 2 つの異なる電圧に分圧する出力側分圧手段と、前記入力側分圧手段により得られた分圧電圧と前記出力側分圧手段により得られた 2 つの分圧電圧の内、電圧値の高い一方の分圧電圧とを比較する第 1 の比較器と、前記入力側分圧手段により得られた分圧電圧と前記出力側分圧手段により得られた 2 つの分圧電圧の内、電圧値の低い他方の分圧電圧とを比較する第 2 の比較器と、前記第 1 の比較器の出力信号によりセット状態とされる一方、前記第 2 の比較器の出力信号によりリセット状態とされ、出力信号が前記転流用スイッチング素子の動作制御に用いられるセット・リセットフリップフロップとを具備してなるものが好適である。

【0012】かかる構成においては、コイルの入力側及び出力側の電圧を、それぞれ入力側分圧手段と出力側分圧手段により検出し、第 1 及び第 2 の比較器によるそれらの分圧電圧の比較結果に基づいて、セット・リセットフリップフロップを介して転流用スイッチング素子がオン・オフ制御されるように構成されている。すなわち、主スイッチング素子がオン状態となると、コイルの入力側の分圧電圧が、コイルの出力側の分圧電圧よりも大となるように回路定数が設定されており、かつ、第 1 のコンパレータからは論理値 Low の信号が、第 2 のコンパレータからは論理値 High の信号が、それぞれ出力されるようになっている。これにより、セット・リセットフリップフロップがリセットされて論理値 Low の信号が転流用スイッチング素子へ印加される結果、転流用のスイッチング素子は、オフ状態とされる。一方、主スイッチング素子がオフ状態となった場合には、上述とは逆に、転流用のスイッチング素子がオン状態とされるようになっており、結局、主スイッチング素子がオン状態となるときには、転流用スイッチング素子を確実にオフ状態に、主スイッチング素子がオフ状態となるときには、転流用スイッチング素子を確実にオン状態に、それぞれ

制御でき、従来と異なり、タイムシーケンスによる遅延時間を設定するような構成が必要ないので、高速動作が可能でかつ効率のよい同期型のDC/DCコンバータが提供されることとなるものである。

【0013】

【発明の実施の形態】以下、本発明の実施の形態について、図1及び図2を参照しつつ説明する。なお、以下に説明する部材、配置等は本発明を限定するものではなく、本発明の趣旨の範囲内で種々改変することができるものである。最初に、本発明の実施の形態における同期型DC/DCコンバータの第1の回路構成例について図1を参照しつつ説明する。この同期型DC/DCコンバータは、所定の直流電圧 V_{cc} が印加される主スイッチング素子（図1及び図2においては「Q1」と表記）1を備えている。ここで、主スイッチング素子1としては、NチャンネルMOS FETトランジスタが用いられている。この主スイッチング素子1の出力側には、コイル（図1及び図2においては「L1」と表記）2が直列に接続されており、このコイル2は、出力端子3を介して負荷（図1及び図2においては「LOAD」と表記）4に接続されている。

【0014】また、コイル2の入力側には、転流用ダイオード（図1及び図2においては「D1」と表記）5のカソード側と、転流用スイッチング素子（図1及び図2においては「Q2」と表記）6の一端とが、それぞれ接続されていると共に、これら転流用ダイオード5と転流用スイッチング素子6の他端は、接地されている。ここで、転流用スイッチング素子6としては、NチャンネルMOS FETトランジスタが用いられている。さらに、コイル2の出力側には、平滑用のコンデンサ（図1及び図2においては「C1」と表記）7の一端と、出力電圧に対応する大きさのいわゆる分圧電圧を検出するため直列に接続された第1の抵抗器（図1及び図2においては「R1」と表記）8と第2の抵抗器（図1及び図2においては「R2」と表記）9の内、第1の抵抗器8の一端が、それぞれ接続されており、これら平滑用のコンデンサ7の他端と、第2の抵抗器9の他端は、共に接地されている。

【0015】第1の抵抗器8と第2の抵抗器9の接続点は、第1のコンパレータ10の反転入力端子に接続され、この第1のコンパレータ10の非反転入力端子には、所定の基準電圧 V_s が印加されており、出力端子3における出力電圧の大きさに対応した第1及び第2の抵抗器8、9によるいわゆる分圧電圧が基準電圧 V_s と比較され、その比較結果が、第2のコンパレータ13の反転入力端子へ入力されるようになっている。第2のコンパレータ13は、その出力端子が主スイッチング素子1のゲートに接続される一方、非反転入力端子には、所定の周波数信号を出力する発振器（図1及び図2においては「OSC」と表記）12の出力段が接続されており、

第2のコンパレータ13の比較結果に基づいて、主スイッチング素子1がオン・オフ制御され、出力端子3から負荷4へ所定の直流電圧が出力されるようになっている。

【0016】ところで、上述した構成部分は、基本的には従来のもと同じであるが、この第1の回路構成例では、さらに、コイル2の入力側と出力側の電圧を検出して、転流用スイッチング素子6のオン・オフを制御する転流用スイッチング素子制御回路14を備えている。すなわち、転流用スイッチング素子制御回路14は、コイル2の入力側の電圧を検出するため直列に接続された入力側分圧手段を構成する第3の抵抗器（図1及び図2においては「R3」と表記）15と第4の抵抗器（図1及び図2においては「R4」と表記）16を備えており、第3の抵抗器15の一端は、コイル2の入力側に接続され、第4の抵抗器16の他端が接地されている。

【0017】そして、第3の抵抗器15と第4の抵抗器16の接続点は、第3のコンパレータ17の反転入力端子と第4のコンパレータ18の非反転入力端子に、それぞれ接続されており、コイル2の入力側の電圧に対応した分圧電圧がそれぞれ印加されるようになっている。また、コイル2の出力側には、出力側分圧手段を構成する直列に接続された第5の抵抗器（図1及び図2においては「R5」と表記）19と、第6の抵抗器（図1及び図2においては「R6」と表記）20と、第7の抵抗器（図1及び図2においては「R7」と表記）21とが備えられており、第5の抵抗器19の一端がコイル2の出力側に接続される一方、第7の抵抗器21の他端が接地されている。第5の抵抗器19と第6の抵抗器20の接続点は、第1の比較器としての第3のコンパレータ17の非反転入力端子に接続される一方、第6の抵抗器20と第7の抵抗器21の接続点は、第2の比較器としての第4のコンパレータ18の反転入力端子に接続されている。

【0018】また、第3のコンパレータ17の出力端子は、公知・周知の回路構成を有してなるセット・リセットフリップフロップ（以下「RSFF」と言う）22のセット端子に接続される一方、第4のコンパレータ18の出力端子は、RSFF22のリセット端子に接続されている。そして、RSFF22の出力端子は、転流用スイッチング素子6のゲートに接続されており、このRSFF22の出力に応じて、転流用スイッチング素子6がオン・オフ駆動されるようになっている。

【0019】次に、上記構成における動作について図1を参照しつつ説明する。まず、主スイッチング素子1がオンされると、コイル2の入力側のA点の電圧は、入力電圧 V_{cc} と略等しい値まで上昇する。すると、このA点の電圧は、コイル2の入力側の電圧を検出するために設けられた第3及び第4の抵抗器15、16によって分圧され、これらの第3及び第4の抵抗器15、16の接

続点には、A点の電圧に対応した第3及び第4の抵抗器15、16の抵抗比によって定まる分圧電圧が生じる。この第3及び第4の抵抗器15、16の接続点に生じた分圧電圧は、第3のコンパレータ17の反転入力端子と、第4のコンパレータ18の非反転入力端子にそれぞれ印加される。

【0020】一方、この場合、コイル2の出力側の電圧は、先のA点における電圧に対してコイル2の電圧降下分だけ低いものとなる。そして、このコイル2の出力側の電圧は、第5乃至第7の抵抗器19～21により分圧され、第5及び第6の抵抗器19、20の接続点における分圧電圧が第3のコンパレータ17の非反転入力端子へ、第6及び第7の抵抗器20、21の接続点における分圧電圧が第4のコンパレータ18の反転入力端子へ、それぞれ印加されることとなる。

【0021】ここで、先の第3及び第4の抵抗器15、16による分圧電圧が、第5及び第6の抵抗器19、20の接続点における分圧電圧よりも大となるように、これら第3及び第4の抵抗器15、16並びに第5乃至第7の抵抗器19～21の各抵抗値が予め設定されているため、結局、上述したように分圧電圧が第3及び第4のコンパレータ17、18に印加されると、第3のコンパレータ17からは、論理値Lowに対応する出力信号が、第4のコンパレータ18からは、論理値Highに対応する出力信号が、それぞれ出力されることとなる。

【0022】その結果、RSFF22が第4のコンパレータ18の出力信号によりリセットされ、その出力Qは、論理値Lowの状態となり、これが転流用スイッチング素子6のゲートに印加されるため、転流用スイッチング素子6はオフ状態とされることとなる。

【0023】次に、主スイッチング素子1がオフ状態とされると、コイル2の入力側のA点の電圧は、転流用ダイオード5の順方向電圧 V_F に向かって下降する。一方、このコイル2の入力側のA点の電圧が順方向電圧 V_F に向かって下降する間に、コイル2の出力側における電圧は、コイル2の作用により入力側のA点の電圧変化とは異なり、急激に下降せずに緩慢に変化するため、第3及び第4の抵抗器15、16の接続点における分圧電圧は、第5の抵抗器19と第6の抵抗器20の接続点における分圧電圧及び第6の抵抗器20と第7の抵抗器21の接続点における分圧電圧に比して即座に低くなり、その結果、第3のコンパレータ17からは、論理値Highに対応する出力信号が、第4のコンパレータ18からは、論理値Lowに対応する出力信号が、それぞれ出力され、RSFF22の出力Qが論理値Highの状態となる。このため、転流用スイッチング素子6は、オン状態とされ、A点の電圧は、先の順方向電圧 V_F より低い略接地電位に近い状態となる。

【0024】上述したような主スイッチング素子1のオン・オフ動作に伴う動作が繰り返されることで、第1の

抵抗器8と第2の抵抗器9の抵抗値の大きさで決定される出力電圧が、出力端子3から負荷4へ供給され、主スイッチング素子1がオフの間、順方向電圧 V_F が残ることにより起因する従来のような電力変換効率の低下が確実に回避されることとなる。なお、主スイッチング素子1のオン・オフ制御については、従来と基本的に変わるところがないので、上述の動作説明においては省略したが、ここで、概略的に説明すれば、まず、出力電圧は、第1及び第2の抵抗器8、9により分圧されたものが、第1のコンパレータ10の反転入力端子に印加され、基準電圧 V_s と比較される。そして、この第1及び第2の抵抗器8、9による分圧電圧が基準電圧 V_s 以下の場合に、第1のコンパレータ10から論理値Highに対応する信号が出力され、これが第2のコンパレータ13において、発振器12からの信号と比較される結果、主スイッチング素子1がオン・オフ制御されるようになっていく。

【0025】なお、第3のコンパレータ17及び第4のコンパレータ18の閾値および入力範囲は、第3及び第4の抵抗器15、16並びに第5乃至第7の抵抗器19～21の値を変えることによって適宜調整することができる。また、転流用スイッチング素子6がオン状態となるときに閾値を、入力電圧 V_{cc} 近辺に、オフ状態となるときに閾値を、グランド電圧近辺に、それぞれ設定することにより、この転流用スイッチング素子6を速やかにオン・オフすることができるタイミングを得ることができる。

【0026】次に、第2の回路構成例について図2を参照しつつ説明する。なお、図1に示された回路構成例と同一の構成要素については、同一の符号を付してその詳細な説明は省略し、以下、異なる点を中心に説明することとする。この第2の回路構成例における同期型DC/DCコンバータは、第1のコンパレータ10のための分圧電圧を得る抵抗器と、第3及び第4のコンパレータ17、18のための分圧電圧を得る抵抗器との共有を図り、回路の簡素化を図ったものである。

【0027】すなわち、具体的には、コイル2の出力側において、コイル2の出力側の端部とアースとの間に、先の図1に示された回路構成例における第1及び第2の抵抗器8、9と第5乃至第7の抵抗器19～21に代えて、第8乃至第11の抵抗器23～26が直列接続されている。また、第8の抵抗器23と第9の抵抗器24との接続点が、第3のコンパレータ17の非反転入力端子へ、第9の抵抗器24と第10の抵抗器25との接続点が第1のコンパレータ10の反転入力端子へ、第10の抵抗器25と第11の抵抗器26との接続点が第4のコンパレータ18の反転入力端子へ、それぞれ接続されている。

【0028】そして、これら第8乃至第11の抵抗器23～26の各抵抗値は、図1に示された回路構成例の動

作説明で説明したと同様な各コンパレータ10、17、18の動作が得られるように、それぞれ設定されたものとなっている。したがって、回路動作としては、先の図1に示された第1の回路構成例の場合と基本的に同一であるので、ここでの再度の説明は省略することとする。

【0029】この第2の回路構成例においては、第1のコンパレータ10と、第2のコンパレータ13と、発振器12とにより主スイッチング素子制御手段が実現され、第8乃至第11の抵抗器23～26により出力電圧分圧手段及び主スイッチング素子制御用出力電圧分圧手段が実現されたものとなっている。

【0030】なお、上述した本発明の実施の形態では、主スイッチング素子1及び転流用スイッチング素子6として、NチャンネルMOS FETトランジスタを用いた場合について説明したが、これに限定されるものではなく、他のMOS FETや、バイポーラ素子を用いても、また、FET素子とバイポーラ素子とを組み合わせた構成としてもよく、いずれにあっても同様の動作を得ることができる。また、主スイッチング素子1及び転流用スイッチング素子6は、n段のFET素子を直列又は並列に接続したもの、あるいはn段のバイポーラ素子を直列又は並列に接続した構成としてもよく、その場合にあっても基本的に同様の動作を得ることができる。

【0031】さらに、上述した本発明の実施の形態では、主スイッチング素子1とコイル2の接続点Aの電圧、及び出力電圧を検出するための分圧手段として、抵抗器を用いたが、FETのいわゆるオン抵抗を利用して分圧するような構成としても、同様な動作を得ることができる。またさらに、抵抗器とFET素子、あるいは抵抗器とバイポーラ素子とを組み合わせた分圧手段を構成するようにしても同様である。

【0032】また、転流用スイッチング素子6を制御するための制御回路の電源は、入力電圧Vccあるいは出力電圧のいずれかから供給するように構成しても良い。

さらに、起動時は入力電圧Vccから、その後は出力電圧から供給するように切り替えるようにしても、同様の動作を得る得ることができる。

【0033】

【発明の効果】以上説明したように、本発明によれば、転流用スイッチング素子の動作を、コイルの入力側の電圧と、出力電圧とに基づいて制御できるような構成とすることにより、従来のような特別なタイムシーケンスの作成を要するような回路を用いることなく、主スイッチング素子と転流用スイッチング素子を確実に交互にオン・オフ状態とすることができ、回路の構成が比較的簡単で、かつ、高速動作が可能な同期型のDC/DCコンバータを提供することができるものである。

【図面の簡単な説明】

【図1】本発明の実施の形態における同期型DC/DCコンバータの第1の回路構成例を示す回路図である。

【図2】本発明の実施の形態における同期型DC/DCコンバータの第2の回路構成例を示す回路図である。

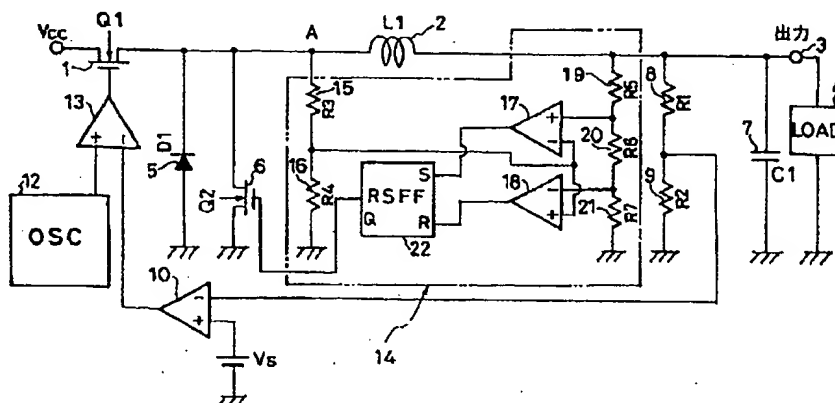
【図3】従来の非同期型DC/DCコンバータの回路構成例を示す回路図である

【図4】従来の同期型DC/DCコンバータの回路構成例を示す回路図である。

【符号の説明】

- 1…主スイッチング素子
- 2…コイル
- 5…転流用のダイオード
- 6…転流用スイッチング素子
- 10…第1のコンパレータ
- 13…第2のコンパレータ
- 14…転流用スイッチング素子制御回路
- 17…第3のコンパレータ
- 18…第4のコンパレータ
- 22…RSFF

【図1】



The schematic diagram shows a power MOSFET driver circuit. A Vcc supply is connected to the gate of MOSFET Q1 (31) through a logic gate LOG (44). The LOG gate is driven by an oscillator OSC (41) through an inverter (42). The output of the LOG gate is connected to the gate of MOSFET Q2 (43). MOSFET Q2 is a common-emitter amplifier stage with a diode D1 (33) in parallel with its collector. The collector of Q2 is connected to the gate of MOSFET Q1. The drain of Q2 is connected to an inductor L1 (32) and a resistor R1 (37). The inductor L1 is connected to the output terminal 35, which is labeled '出力' (Output). The output terminal 35 is also connected to a load (36) and a capacitor C1 (34). A voltage source Vs (39) is connected to the source of Q2 and the gate of Q1. The source of Q1 is connected to ground. The source of Q2 is connected to ground through a resistor R2 (38).